

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

Translation of
the Official Gazette of Publication of
the Korean Patent Laid Open No. 1998-60530
Publication Date: October 7, 1998

Method of manufacturing a capacitor of a semiconductor device

[Abstract]

The present invention relates to a method of manufacturing a capacitor of a semiconductor device, comprising: when forming a dielectric film of a triple constitution made up of BST on the upper portion of a storage electrode of a semiconductor substrate, forming at the beginning a dielectric film by increasing an oxygen flow ratio of the argon/oxygen flow ratio; then forming by decreasing an oxygen flow ratio; subsequently forming by increasing an oxygen flow ratio; and forming a capacitor by performing a heat treatment process. Thereby, a loss of high dielectricity due to the non-crystalline is minimized by crystallizing the interface with a storage electrode, and the property of the leakage current of the high dielectric film is improved, by increasing the resistance of the leakage current by the coarseness of the minute surface, and as a result, the technique according to the present invention improves the yield and the reliability of a semiconductor device.

[Claim]

1. A method of manufacturing a capacitor of a semiconductor device, comprising:

a step of forming an insulating film comprising a storage electrode contact hole in an upper portion of a semiconductor substrate;

a step of forming a contact plug for burying said contact hole;

a step of forming a diffusion prevention film pattern and a storage electrode pattern in an upper portion of said contact plug;

in forming a dielectric film pattern for covering up the surface of said storage electrode pattern with BST, a step of

3 /
forming by increasing at the beginning an oxygen flow ratio of the argon/oxygen flow ratio, then forming by decreasing an oxygen flow ratio, and subsequently forming by increasing an oxygen flow ratio; and

a step of forming a plate electrode in an upper portion of said dielectric film pattern.

【한국공개특허공보 제98-60530호(1998.10.7. 개, 인용예1)】

특 1998-060530

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

引用例 1

(51) Int. Cl.⁶
H01L 21/01

(11) 공개번호 특 1998-060530
(43) 공개일자 1998년 10월 07일

(21) 출원번호 특 1996-079892
(22) 출원일자 1996년 12월 31일
(71) 출원인 현대전자산업 주식회사 김명환
경기도 이천시 부발읍 아미리 산 136-1
유용식
서울특별시 강동구 명일동 현대아파트 16-301
박영진
(72) 발명자 서울특별시 서대문구 북가좌2동 290-16
이권희, 이정훈
(74) 대리인

심사청구 : 없음

(54) 반도체 소자의 캐패시터 제조방법

요약

본 발명은 반도체 소자의 캐패시터 제조방법에 관한 것으로, 반도체 기판의 저장전극 상부에 BST로 이루어진 3중구조의 유전체막을 형성시 아르곤/산소의 유량비를 초기에는 산소유량비를 높게 형성하고, 그 다음 산소유량비를 낮게 형성하며, 다음 산소유량비를 높게 형성하고 열처리공정을 실시하여 캐패시터를 형성함으로써 저장전극과의 계면을 결정화하여 비결정질에 의한 고유전성의 손실을 최소화하고, 미세표면의 거칠기에 의해 누설전류의 저하를 증가시켜 고유전체막의 누설전류 특성을 향상시키므로 반도체 소자의 수율 및 신뢰성을 향상시키는 기술에 관한 것이다.

도면

도 1a

명세서

도면의 간단한 설명

도 1a 내지 도 1k는 본 발명에 따른 반도체 소자의 캐패시터 제조 공정도.

도면의 주요 부분에 대한 부호의 설명

10:반도체 기판 12:절연막
14:콘택플러그 16:제1확산방지막
18:제2확산방지막 20:저장전극
22:제1유전체막 24:제2유전체막
26:제3유전체막 28:플레이트전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 캐패시터 제조방법에 관한 것으로, 보다 상세하게는 반도체 기판의 저장전극 상부에 BST로 이루어진 3중구조의 유전체막을 형성할 때, 아르곤/산소의 유량비를 일정비율로 조절하여 형성함으로써 누설전류의 특성을 향상시켜 반도체 소자의 수율 및 신뢰성을 향상시키는 기술에 관한 것이다.

일반적으로, 반도체 소자의 제조기술은 트랜지스터와 캐패시터의 성능향상을 위한 연구가 필수적이다. 특히 DRAM 동작에 필요한 25fF/cell 이상의 정전용량을 확보하기 위해서는 기존의 ONO(SiO₂/SiN/SiO₂)의 박막화와 캐패시터 구조의 입체화를 통한 유효면적의 증대가 연구되어 왔다.

그리고, ONO 구조의 박막화는 누설전류의 증대로 인하여 유효 산화막을 40Å 이하 두께로 형성하는 것이 물리적으로는 어렵다.

북 1998-060530

또한, 커패시터의 입체화는 공정의 복잡성으로 인한 제조공정 및 원자 증가의 문제점이 있어 기가 (619a) DRAM시대의 교유전출 커패시터로서 SrTiO_3 과 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 의 연구가 활발히 진행되고 있다.

그리고, 고유전을 박막을 기존의 반도체 공정과 호환성을 갖고 신뢰성이 있는 소자로 응용되기에 충분한 양질의 박막을 증착하는 방법으로는 실용화 측면에서 우위에 있는 라디오 프리퀀시 플라즈마 스퍼터링(RF Plasma Sputtering) 법에 의한 물리적 증착방법이 많이 쓰이고 있다.

그 중에서도 (Ba,Sr)TiO₃ 등과 같은 고유전율 박막의 유전특성은 유전체와 전극간의 유전체와 전극간의 계면상태의 결정성이나 표면 미세구조가 큰 영향을 미친다.

즉, 상기 고유전체막은 높은 증착속도를 가지나 절연막과 전극계면에서 비정질상(Amorphous)상을 갖거나 거친 표면거칠기에 의해 유전특성을 열화시켜 반도체 소자의 수율 및 신뢰성이 저하되는 문제점이 있다.

[illegible]

이에, 본 발명은 상기한 문제점을 해결하기 위한 것으로 반도체 기판의 저장전극 상부에 BST로 이루어진 3중구조의 유전체막을 형성시 미르코/산소의 유탕비를 초기에는 산소유탕비를 높게 형성하고, 그 다음 산소유탕비를 낮게 형성하며, 다음 산소유탕비를 높게 형성하고 열처리공정을 실시하여 유전체막을 형성함으로써 저장전극과의 계면을 결정화하여 비결정질에 의한 고유전성의 손실을 최소화하고, 미세표면의 거칠기 등에 의해 누설전류의 저항을 증가시켜 고유전체막의 누설전류 특성을 향상시키므로 반도체 소자의 수율 및 신뢰성이 향상되는 반도체 소자의 캐패시터 제조방법을 제공하는 데 그 목적이 있다.

법원의 구성 및 작용

상기 목적을 달성하기 위해 본 발명에 따른 소자의 캐패시터 제조방법은 반도체 기판 상부에 저전력 콘택홀을 구비하는 절연막을 형성하는 공정과, 상기 콘택홀을 매우는 콘택플러그를 형성하는 공정과, 상기 콘택플러그 상부에 절연막을 형성하는 공정과, 상기 절연막 상부에 도전층을 형성하는 공정과, 상기 도전층 상부에 도전층 패턴을 형성하는 공정과, 상기 도전층 패턴 상부에 플레이트전극을 형성하는 공정을 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체 소자의 캐패시터 제조방법에 대하여 상세히 설명
을 하기로 한다.

도 1a 내지 도 1k는 본 발명에 따른 반도체 소자의 캐피시터 제조공정도이다.

먼저, 반도체 기판(10) 상부에 산화막의 재질로 소자분리 절연막(도시 않됨), 게이트산화막(도시 않됨), 게이트전극(도시 않됨) 및 비트라인(도시 않됨) 등을 형성하고 전표면에 절연막(12)을 형성한다.

다. 다음, 상기 절연막(12)을 본택마스크를 이용한 식각공정으로 본택부위로 예정되어 부위에 본택층을 형성한다.

그 다음, 상기 구조의 전표면에 500~3000 Å 두께의 다결정 규소막(도시 않음)을 화학기상증착법으로 형성한 다음, 상기 다결정 규소막을 전면 식각하여 상기 콘택홀을 매립하는 콘택플러그(14)를 형성한다.(도 1a 참조)

다음, 상기 구조의 전표면에 100~1000 Å 두께의 티타늄(Ti) 또는 탄탈륨-Ta)으로 이루어진 제 1 확산방지막(16)을 형성한다. (도 1b 참조)

그 다음, 상기 제1화산방지막(16) 상부에 200~2000 Å 두께의 티타늄질화막 또는 탄탈늄질화막으로 이루어진 제2화산방지막(18)을 형성한다. (도 1c 참조)

그 다음, 노광마스크를 이용한 이방성 식각공정으로 상기 절연막(12)의 상부표면이 노출될 때까지 식각하여 제2확산방지막(18)패턴과, 제1확산방지막(16)패턴을 형성한다. (도 1d 참조)

다음, 상기 제2확산방지막(16) 및 제1확산방지막(16)을 제거한 다음, 전표면에 1000~5000 Å 두께의 몰리브덴 또는 100~1000 Å 두께의 텅스텐으로 이루어진 저장전극(20)을 형성한다. (도 1e 참조)

그 다음, 상기 저장전극(20)을 노광마스크를 이용한 건식식각공정으로 전면식각하되 상기 절연막(12)의 상부표면이 노출되는 저장전극(20)패턴을 형성한다. (도 1f 참조)

다음, 상기 구조의 전표면에 100~1000 Å 두께의 BST로 이루어진 제1유전체막(22)을 형성한다.

여기서, 삼기 제1유전체막(22)은 아르곤(Ar)/산소(O₂)의 유량비가 40/10-25/25로 산소의 유량비율을 높게 형성하여 결정상과 미세표면의 거칠기를 가진 얇은 박막을 10Å~100Å 두께로 형성한다. (도 1g 참조)

그 다음, 상기 제1유전체막(22) 상부에 아르곤/산소의 유량비가 50/0~40/10으로 산소의 유량비율을 낮게 형성하여, 결정상과 미세표면의 거칠기를 가진 얇은 박막을 100Å~1000Å 두께로 제2유전체막(24)을 형성한다. (도 1h 참조)

다음, 상기 제2유전체막(24) 상부에 아르곤/산소의 유량비가 40/10~25/25로 산소의 유량비율을 높게 형성하여 결정상과 미세표면의 거칠기를 가진 얇은 박막을, 10A~100A 두께로 제3유전체막(26)을 형성하여 3중구조의 유전체막을 형성한다. (도 11 참조)

그 다음, 상기 제 1, 2, 3 유전체막(22, 24, 26)을 400~700°C에서 열처리공정을 실시하여 상기 저장전극(20)간 계면을 결정화하여 비결정질에 의한 고유전성의 손실을 최소화하고, 미세표면의 거칠기에 의해 누설

특 1998-060530

전류의 저항을 증가시켜 고유전체막의 누설전류 특성을 향상시킨 유전체막(22,24,26)을 형성한다.(도 1) 참조)

다음, 상기 구조의 전표면에 500~2000 Å 두께의 이산화루테튬막(RuO₂) 또는 플라티늄으로 이루어진 플레이트전극(28)을 화학기상증착법으로 형성하여 본 발명에 따른 캐패시터 제조공정을 완료한다.(도 1k 참조)

발명의 효과

상기한 바와 같이 본 발명에 따른 반도체 소자의 캐패시터 제조방법은 반도체 기판의 저장전극 상부에 BST로 이루어진 3중 구조의 유전체막 형성시 아르곤/산소의 유량비를 일정비율로 조절하여 형성함으로써 유전체막의 누설전류의 특성을 향상시켜 반도체 소자의 수율 및 신뢰성을 향상시키는 효과가 있다.

(57) 청구의 범위

청구항 1. 반도체 기판 상부에 저장전극 콘택홀을 구비하는 절연막을 형성하는 공정과,

상기 콘택홀을 메우는 콘택플러그를 형성하는 공정과,

상기 콘택플러그 상부에 확산방지막패턴과 저장전극패턴을 형성하는 공정과,

상기 저장전극패턴의 표면을 감싸는 유전체막패턴을 BST로 형성하되 아르곤/산소의 유량비를 초기에는 산소유량비를 높게 형성하고, 그 다음 산소유량비를 낮게 형성하며, 다음 산소유량비를 높게 하여 형성하는 공정과,

상기 유전체막패턴 상부에 플레이트전극을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 2. 청구항 1에 있어서, 상기 확산방지막은 티타늄/티타늄질화막 또는 탄탈늄/탄탈늄질화막으로 형성된 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 3. 청구항 1에 있어서, 상기 저장전극은 플라티늄 또는 루테튬/이산화루테튬으로 형성된 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 4. 청구항 4에 있어서, 상기 첫번째 BST는 아르곤/산소의 유량비가 40/10~25/25로 산소비율을 높게 형성하며, 10 Å~100 Å 두께로 형성된 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 5. 청구항 4에 있어서, 상기 두번째 BST는 아르곤/산소의 유량비가 50/0~40/10으로 산소비율을 낮게 형성하며, 100 Å~1000 Å 두께로 형성된 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

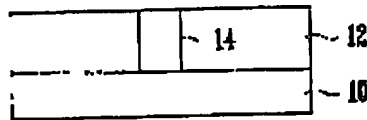
청구항 6. 청구항 1에 있어서, 상기 세번째 BST는 아르곤/산소의 유량비가 40/10~25/25로 산소비율을 높게 형성하며, 10 Å~100 Å 두께로 형성된 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 7. 청구항 1에 있어서, 상기 유전체막은 400~700°C에서 열처리공정을 실시하여 형성된 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

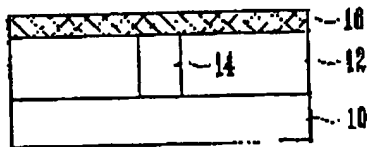
청구항 8. 청구항 1에 있어서, 상기 플레이트전극은 플라티늄 또는 이산화루테튬막으로 형성된 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

도면

도면1a



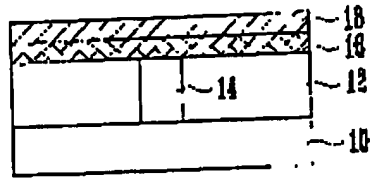
도면1b



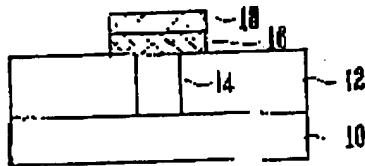
특 1998-060530

21

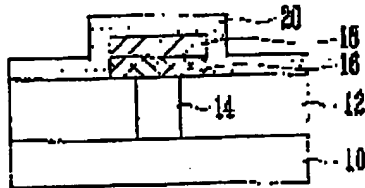
도 10



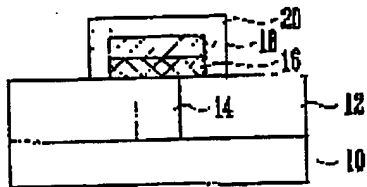
도 11



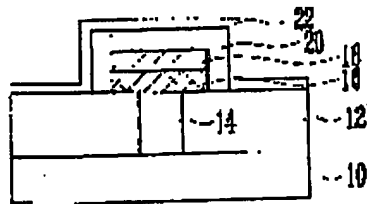
도 12



도 13

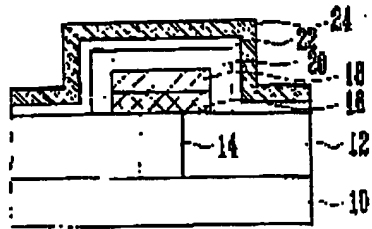


도 14

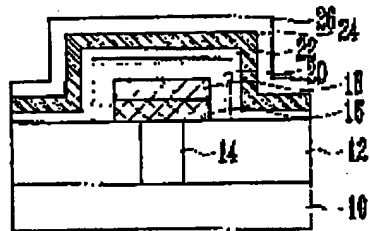


특 1998-060530

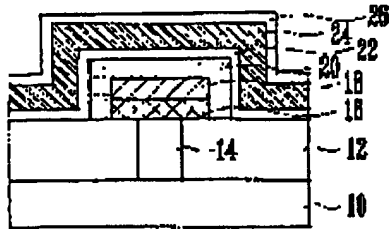
도면h



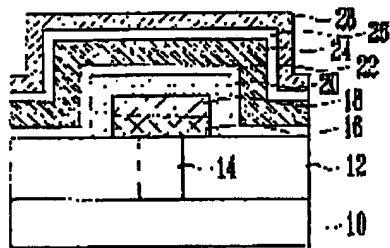
도면i



도면j



도면k



02-7-816:36 ;

Lee International
IP & LAW GROUP

(訳 文)

大韓民国特許庁 (K R)

公開特許公報 (A)

Int. Cl.⁶

H01L 27/01

公開番号: 1998-60530

公開日付: 1998年10月07日

出願番号: 1996-79892

出願日付: 1996年12月31日

出願人: 現代電子産業株式会社

半導体素子のキャパシター製造方法

【要約】

本発明は、半導体素子のキャパシター製造方法に係り、半導体基板の貯蔵電極の上部にBSTからなる3重構造の誘電体膜を形成する時、アルゴン/酸素の流量比を初期には酸素流量比を高くして形成し、その次は、酸素流量比を低くして形成し、次いで、酸素流量比を高くして形成し、熱処理工程を実施してキャパシターを形成することにより、貯蔵電極との界面を結晶化して、非結晶質による高誘電性の損失を最小化し、微細表面の粗さにより漏れ電流の抵抗を増加させ、高誘電体膜の漏れ電流の特性を向上させるので、半導体素子の収率及び信頼性を向上する技術に係る。

【請求の範囲】

【請求項1】

半導体基板の上部に貯蔵電極コンタクトホールを備えた絶縁膜を形成する工程と、
上記コンタクトホールを埋めるコンタクトプラグを形成する工程と、
上記コンタクトプラグの上部に拡散防止膜パターンと貯蔵電極パターンとを形成する工程と、

上記貯蔵電極パターンの表面を覆う誘電体膜パターンをBSTで形成することにおいて、アルゴン/酸素の流量比を初期には酸素流量比を高くして形成し、その次は酸素流量比を低くして形成し、次いで、酸素流量比を高くして形成する工程と、

上記誘電体膜パターンの上部にプレート電極を形成する工程とを含むことを特徴とする半導体素子のキャパシター製造方法。